

PAT-NO: JP410153989A  
DOCUMENT-IDENTIFIER: JP 10153989 A  
TITLE: DOT CLOCK CIRCUIT  
PUBN-DATE: June 9, 1998

INVENTOR-INFORMATION:  
NAME  
KOKUBO, HISATO

ASSIGNEE-INFORMATION:  
NAME  
NEC HOME ELECTRON LTD  
COUNTRY  
N/A

APPL-NO: JP08312273  
APPL-DATE: November 22, 1996

INT-CL (IPC): G09G005/18, G09G003/20 , H04N003/27 ,  
H04N005/06

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a dot clock circuit generating automatically a dot clock having a frequency being coincident with a dot period.

SOLUTION: Dot clocks CLK outputted from a PLL means 2 are counted and calculated by a calculating means 5 in a period in which a detecting signal 3X is made first a high level from a rising edge of a horizontal synchronizing signal H, and in a period in which the signal is made last a high level, difference between a display period and the result of calculation is repeatedly

**BEST AVAILABLE COPY**

calculated after finish of calculation of one vertical scanning period, and the maximum value of a display period is obtained. After that, when a control means outputs a frequency division ratio to the PLL means 2, a programmable frequency divider 22 frequency-divides the dot clock CLK, horizontal resolution outputted by a discriminating means 4 is compared with a display period outputted by the calculating means 5, it is performed until horizontal resolution is equalized to a display period.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-153989

(43) 公開日 平成10年(1998) 6月9日

(51) Int.Cl. <sup>a</sup>	識別記号	F I
G 0 9 G 5/18		G 0 9 G 5/18
		3/20
H 0 4 N 3/27		H 0 4 N 3/27
5/06		5/06
		V
		Z

審査請求 未請求 請求項の数 3 O L (全 4 頁)

(21) 出願番号 特願平8-312273

(22) 出願日 平成8年(1996)11月22日

(71) 出願人 000001937

日本電気ホームエレクトロニクス株式会社  
大阪府大阪市中央区城見一丁目4番24号

(72) 発明者 小久保 寿人

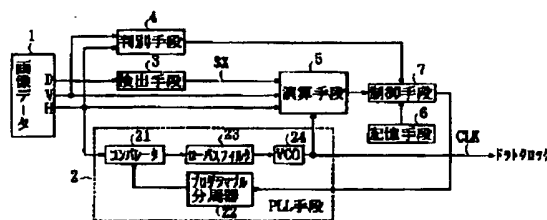
大阪府大阪市中央区城見一丁目4番24号 日  
本電気ホームエレクトロニクス株式会社内

(54) 【発明の名称】 ドットクロック回路

(57) 【要約】

【課題】 ドット周期に一致した周波数のドットクロックを自動的に生成するドットクロック回路を提供。

【解決手段】 水平同期信号Hの立ち上がりエッジから検出信号3Xが最初にハイレベルになる期間及び、最後にハイレベルになる期間を、PLL手段2から出力されるドットクロックCLKをカウントして演算手段5で演算させ、1垂直走査期間の演算を終了後に表示期間との差を繰り返し演算し、表示期間の最大値を求める。その後、制御手段7が分周比をPLL手段2に出力すると、プログラマブル分周器22がドットクロックCLKを分周し、判別手段4の出力する水平解像度と演算手段5の出力する表示期間とを比較して水平解像度と表示期間が等しくなるまで行なう。



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 異なる水平同期信号及び垂直同期信号に基づいて入力された複数の画像データから解像度を判別する判別手段と、この判別手段で判別された画像データから黒以外の画像データの有無を検出する検出手段と、上記水平同期信号の周波数を逡倍するPLL手段と、上記画像データの水平走査期間の最初に入力される黒以外の画像データ及び、最後に入力される黒以外の画像データの期間が上記画像データのドットクロックの何周期かを演算する演算手段と、この演算手段で演算された周期値が上記判別手段で判別された解像度と等しくなるように上記PLL手段を制御する制御手段とで構成されたことを特徴とするドットクロック回路。

【請求項2】 上記水平同期信号及び垂直同期信号の周波数が同じ画像データを受信した時のみ、上記ドットクロックの周波数の低減制御を行わない上記制御手段で構成されたことを特徴とする請求項1記載のドットクロック回路。

【請求項3】 上記異なる水平同期信号及び垂直同期信号に基づいて入力された複数の画像データの分周比を予め記憶した記憶手段で構成されたことを特徴とする請求項1記載のドットクロック回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ドットクロック回路に係り、特に、複数の同期信号に対応して画像データを表示するマトリクス表示装置等のドットクロック回路に関する。

## 【0002】

【従来の技術】従来（図示せず）のドットクロック回路は、ホストシステムからの画像データの水平同期信号をPLL手段で分周して生成され、このPLL手段へ水平同期信号の何分の1のクロックを生成するかの情報をユーザが与えている。

【0003】また、予め設定されたホストシステムの信号タイミングを選択する方法では、表示できるホストシステムの信号タイミングに制限ができてしまう。

## 【0004】

【発明が解決しようとする課題】従って、従来のドットクロック回路は、信号タイミングをユーザが手動で調整したり、特定のパターンが入力されていることをホストシステムに伝える必要があり、予め設定されたホストシステムの信号タイミングを選択する方法では、表示できるホストシステムの信号タイミングに制限ができてしまった。

【0005】そこで、本発明の目的は、ドット周期に一致した周波数のドットクロックを自動的に生成するドットクロック回路を提供することにある。

## 【0006】

【課題を解決するための手段】上述の課題を解決するた

めに、本発明のドットクロック回路は、異なる水平同期信号及び垂直同期信号に基づいて入力された複数の画像データから解像度を判別する判別手段と、この判別手段で判別された画像データから黒以外の画像データの有無を検出する検出手段と、上記水平同期信号の周波数を逡倍するPLL手段と、上記画像データの水平走査期間の最初に入力される黒以外の画像データ及び、最後に入力される黒以外の画像データの期間が上記画像データのドットクロックの何周期かを演算する演算手段と、この演算手段で演算された周期値が上記判別手段で判別された解像度と等しくなるように上記PLL手段を制御する制御手段とで構成されたことを特徴とする。

【0007】また、上述の課題を解決するために、本発明のドットクロック回路は、上記水平同期信号及び垂直同期信号の周波数が同じ画像データを受信した時のみ、上記ドットクロックの周波数の低減制御を行わない上記制御手段で構成されたことを特徴とする。

【0008】さらに、上述の課題を解決するために、本発明のドットクロック回路は、上記異なる水平同期信号及び垂直同期信号に基づいて入力された複数の画像データの分周比を予め記憶した記憶手段で構成されたことを特徴とする。

## 【0009】

【発明の実施の形態】次に、本発明の一実施の形態によるドットクロック回路を図面を参照して説明する。

【0010】図1は、本発明の一実施の形態によるドットクロック回路のブロック構成図である。

【0011】図2は、本発明の一実施の形態によるドットクロック回路の各部波形図である。

【0012】図3は、本発明の一実施の形態によるドットクロック回路の画像表示例（A）、（B）である。

【0013】本発明の一実施の形態によるドットクロック回路は、図1に示すように、異なる水平同期信号H及び垂直同期信号Vに基づいて入力された複数の画像データ1から解像度を判別する判別手段4と、この判別手段4で判別された画像データ1から黒以外の画像データ1の有無を検出する検出手段3と、水平同期信号Hの周波数を逡倍するPLL手段2と、画像データ1の水平走査期間の最初に入力される黒以外の画像データ1及び、最後に入力される黒以外の画像データ1の期間が画像データ1のドットクロックCLKの何周期かを演算する演算手段5と、この演算手段5で演算された周期値が判別手段4で判別された解像度と等しくなるようにPLL手段2を制御する制御手段7と、異なる水平同期信号及び垂直同期信号で形成される複数の画像データの分周比を予め記憶した記憶手段とで構成される。

【0014】また、PLL手段2は、制御手段7からの出力信号を分周するプログラマブル分周器22と、このプログラマブル分周器22で分周された出力信号と水平同期信号Hとを位相比較するコンパレータ21と、この

位相差の結果を出力するローパスフィルタ23と、このローパスフィルタ23から出力された位相差の結果を電圧変換して演算手段5にフィードバックするVCO24で構成される。

【0015】次に、本発明の一実施の形態によるドットクロック回路の動作を図面を参照して説明する。

【0016】本発明の一実施の形態によるドットクロック回路の動作は、図1及び図2に示すように、入力画像データDが基準信号である黒レベルの電圧より高い電圧の時に検出信号3Xがハイレベルとなり、演算手段5が水平同期信号Hの立ち上がりエッジから検出信号3Xが最初にハイレベルになるまでの期間を、PLL手段2から出力されるドットクロックCLKをカウントして表示期間n1を演算し、同様に検出信号3Xが最後にハイレベルとなる期間を表示期間n2として演算手段5に演算させ、この演算が垂直走査期間の全ての水平走査期間で行われ、表示期間n1が最小に、かつ表示期間n2が最大となるように更新される。

【0017】その後、1垂直走査期間の演算を終了して表示期間n1と表示期間n2との差を表示期間n3として演算し、この表示期間n3の演算が次の垂直走査期間でも繰り返行われ、表示期間n3の最大値を求めることができ、この表示期間n3の演算は水平同期信号の立ち上がりエッジを使用しても同様に行なえる。

【0018】また、近年のマルチタスクマルチウィンドウ環境が一般的な状況下では、図3の(A)に示すように、1垂直走査期間のいずれかに画面の左端または右端となる画像データDがあるため、表示期間n1の最小値が画面左端及び表示期間n2の最大値が画面右端の各々画像データDとなり、表示期間n3が画像データDの水平表示期間となる。

【0019】従って、制御手段7が分周比データm1をPLL手段2のプログラマブル分周器22に出力すると、プログラマブル分周器22がドットクロックCLKを $1/(m1)$ 分周し、制御手段7は、判別手段4の出力する水平解像度h1と演算手段5の出力する表示期間n3との比較を行い、水平解像度h1が画像データDを等倍表示または拡大表示した時の水平解像度で、例えば水平1024/垂直768の解像度を持つ画像データDを等倍表示するのであれば1024であり、水平800/垂直600の解像度を持つ画像データDを1.25倍表示するのであれば $800 \times 1.25 = 1000$ で1000となり、制御手段7が $h1 < n3$ の時に分周比m1を小さくし、 $h1 > n3$ の時に分周比m1を大きくさせ

て水平解像度h1と表示期間n3が等しくなるまで続ける。

【0020】さらに、記憶手段6は、不揮発性メモリまたはバッテリーバックアップされたメモリで構成され、各種の水平同期信号H及び垂直同期信号Vの周波数に対応する分周比が格納され、図3の(A)に示すように、画面左端及び右端に画像データDのある状態と、図3の(B)に示すように、画面左端または右端に画像データDのない画面状態の発生が考えられるため、判別手段4で判別された水平同期信号H及び垂直同期信号Vの周波数に対応する分周比m2を制御手段7が記憶手段6から読み出し、かつ分周比m2を小さくする制御は行わずに分周比m2の初期値を水平解像度h1として分周比m2へ加算操作のみで容易に実現できる。

【0021】

【発明の効果】以上説明したように、本発明のドットクロック回路によれば、入力した画像データの仕様に合わせて自動的にドットクロックを生成するため、ユーザが行なうドットクロック再生の調整処理を削減し、かつ安価に実現できる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施の形態によるドットクロック回路のブロック構成図である。

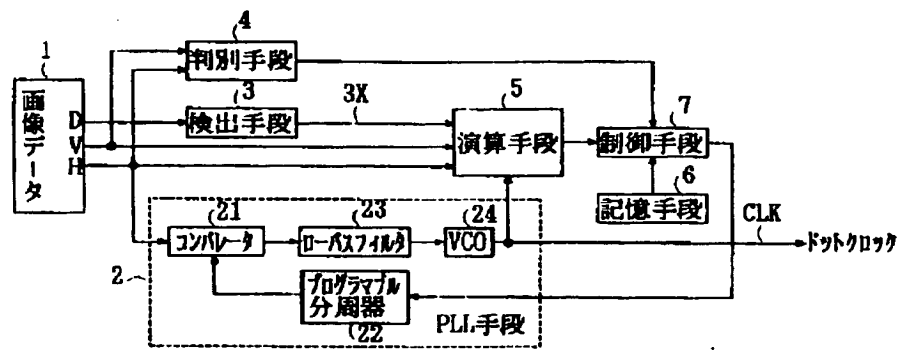
【図2】本発明の一実施の形態によるドットクロック回路の各部波形図である。

【図3】本発明の一実施の形態によるドットクロック回路の画像表示例(A)、(B)である。

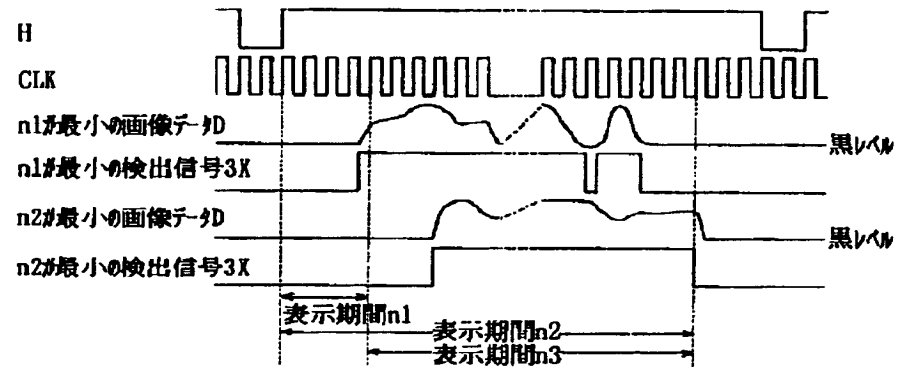
【符号の説明】

- 1, D 画像データ
- 2 PLL手段
- 3 検出手段
- 4 判別手段
- 5 演算手段
- 6 記憶手段
- 7 制御手段
- 21 コンパレータ
- 22 プログラマブル分周器
- 23 ローパスフィルタ
- 24 VCO
- 3X 検出信号
- H 水平同期信号
- V 垂直同期信号
- CLK ドットクロック

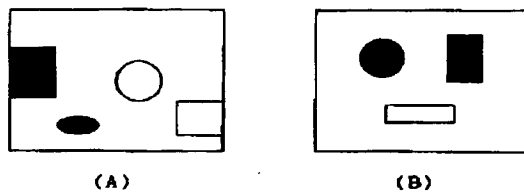
【図1】



【図2】



【図3】



**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to a dot clock circuit, and relates to dot clock circuits, such as matrix display equipment which displays image data especially corresponding to two or more synchronizing signals.

[0002]

[Description of the Prior Art] The user has given the information on what [ 1/ ] of the clocks of a Horizontal Synchronizing signal the dot clock circuit of the former (not shown) carries out dividing of the Horizontal Synchronizing signal of the image data from a host system with a PLL means, is generated, and are generated to this PLL means.

[0003] Moreover, by the approach of choosing the signal timing of the host system set up beforehand, a limit will be possible for the signal timing of the host system which can be displayed.

[0004]

[Problem(s) to be Solved by the Invention] Therefore, the user needed to adjust signal timing manually, or the conventional dot clock circuit needed to tell that the pattern [ \*\*\*\* ] was inputted to the host system, and the limit of it has been possible for the signal timing of the host system which can be displayed by the approach of choosing the signal timing of the host system set up beforehand.

[0005] Then, the purpose of this invention is to offer the dot clock circuit which generates automatically the dot clock of the frequency which was in agreement with the dot cycle.

[0006]

[Means for Solving the Problem] In order to solve an above-mentioned technical problem, the dot clock circuit of this invention A distinction means to distinguish resolution from two or more image data inputted based on a different Horizontal Synchronizing signal and a different Vertical Synchronizing signal, A detection means to detect the existence of image data other than black from the image data distinguished with this distinction means, image data other than the black inputted into the beginning of the horizontal scanning period of the above-mentioned image data as the PLL means which carries out multiplying of the frequency of the above-mentioned Horizontal Synchronizing signal -- and An operation means by which the period of image data other than the black inputted at the end calculates whether it is a term what round of the dot clock of the above-mentioned image data, It is characterized by consisting of control means which control the above-mentioned PLL means so that the periodic value calculated with this operation means becomes equal to the resolution distinguished with the above-mentioned distinction means.

[0007] Moreover, in order to solve an above-mentioned technical problem, the dot clock circuit of this invention is characterized by consisting of above-mentioned control means which do not perform reduction control of the frequency of the above-mentioned dot clock, only when the image data with the same frequency of the above-mentioned Horizontal Synchronizing signal and a Vertical Synchronizing signal is received.

[0008] Furthermore, in order to solve an above-mentioned technical problem, the dot clock circuit of this invention is characterized by consisting of storage means which memorized beforehand the division ratio of two or more image data inputted based on a Horizontal Synchronizing signal and a Vertical Synchronizing signal different the account of a top.

[0009]

[Embodiment of the Invention] Next, the dot clock circuit by the gestalt of 1 operation of this invention is explained with reference to a drawing.

[0010] Drawing 1 is the block block diagram of the dot clock circuit by the gestalt of 1 operation of this invention.

[0011] Drawing 2 is each part wave form chart of the dot clock circuit by the gestalt of 1 operation of this invention.

[0012] Drawing 3 is the example of image display of the dot clock circuit by the gestalt of 1 operation of this invention (A), and (B).

[0013] The dot clock circuit by the gestalt of 1 operation of this invention A distinction means 4 to distinguish resolution from two or more image data 1 inputted based on different Horizontal Synchronizing signal H and Vertical Synchronizing signal V as shown in drawing 1, A detection means 3 to detect the existence of image data 1 other than black from the image data 1 distinguished with this distinction means 4, It reaches other than the black inputted into the beginning of the horizontal scanning period of image data 1 as the PLL means 2 which carries out multiplying of the frequency of Horizontal Synchronizing signal H image data 1. An operation means 5 by which the period of image data 1 other than the black inputted at the end calculates whether it is a term what round of the dot clock CLK of image data 1, It consists of a control means 7 which controls the PLL means 2 so that the periodic value calculated with this operation means 5 becomes equal to the resolution distinguished with the distinction means 4, and a storage means which memorized beforehand the division ratio of two or more image data formed with a different Horizontal Synchronizing signal and a different Vertical Synchronizing signal.

[0014] Moreover, the PLL means 2 consists of VCO24 which carries out electrical-potential-difference conversion of the result of the phase contrast outputted from the programmable divider 22 which carries out dividing of the output signal from a control means 7, the comparator 21 which carries out the phase comparison of the output signal by which dividing was carried out by this programmable divider 22, and Horizontal Synchronizing signal H, the low pass filter 23 which outputs the result of this phase contrast, and this low pass filter 23, and is fed back to the operation means 5.

[0015] Next, actuation of the dot clock circuit by the gestalt of 1 operation of this invention is explained with reference to a drawing.

[0016] Actuation of the dot clock circuit by the gestalt of 1 operation of this invention Detecting-signal 3X becomes high-level at the time of an electrical potential difference higher than the electrical potential difference of the black level whose input image data D is a reference signal as shown in drawing 1 and drawing 2. A period until the operation means 5 becomes [ the rising edge of Horizontal Synchronizing signal H to detecting-signal 3X ] first high-level Count the dot clock CLK outputted from the PLL means 2, and the display period n1 is calculated. the operation means 5 is made to calculate by making into the display period n2 the period when detecting-signal 3X becomes high-level at the end similarly, and this operation carries out in all the horizontal scanning periods of a vertical-scanning period -- having -- the display period n1 -- min -- and it is updated so that the display period n2 may serve as max.

[0017] Then, the operation of 1 vertical-scanning period is ended, the difference of the display period n1 and the display period n2 is calculated as a display period n3, the operation of this display period n3 is repeatedly performed also in the next vertical-scanning period, the maximum of the display period n3 can be calculated, and even if the operation of this display period n3 uses the falling edge of a Horizontal Synchronizing signal, it can be performed similarly.

[0018] moreover, under a situation with a common multitasking multi-window environment in recent years, since image data D used as the left end of a screen or a right end is in either of the 1 vertical-scanning periods as shown in (A) of drawing 3, the maximum of a screen left end and the display period n2 serves as [ the minimum value of the display period n1 ] each image data D at the right end of a screen, and the display period n3 turns into a level display period of image data D.

[0019] Therefore, if a control means 7 outputs the division ratio data m1 to the programmable divider 22 of the PLL means 2 A programmable divider 22 carries out  $1/(m1)$  dividing of the dot clock CLK. A control means 7 The comparison with the horizontal resolution h1 which the distinction means 4



outputs, and the display period  $n3$  which the operation means 5 outputs is performed. Horizontal resolution  $h1$  image data  $D$  with an actual size display or the horizontal resolution when carrying out an enlarged display. For example, it will be 1024 if the image data  $D$  with the resolution of the 1024/perpendicular 768 of horizontals is indicated by actual size. If image data  $D$  with the resolution of the 800/perpendicular 600 of horizontals is displayed 1.25 times, it will be set to 1000 by  $800 \times 1.25 = 1000$ . When a control means 7 is  $h1 < n3$ , a division ratio  $m1$  is made small, and it continues until it enlarges a division ratio  $m1$  and horizontal resolution  $h1$  and the display period  $n3$  become equal at the time of  $h1 > n3$ .

[0020] Furthermore, as it consists of nonvolatile memory or memory by which the battery back-up was carried out, the division ratio corresponding to the frequency of various kinds of Horizontal Synchronizing signals  $H$  and Vertical Synchronizing signal  $V$  is stored and the storage means 6 is shown in (A) of drawing 3. Since generating of the condition that image data  $D$  is in a screen left end and a right end, and the screen condition which does not have image data  $D$  in a screen left end or a right end as shown in (B) of drawing 3 can be considered, A control means 7 reads the division ratio  $m2$  corresponding to the frequency of Horizontal Synchronizing signal  $H$  distinguished with the distinction means 4, and Vertical Synchronizing signal  $V$  from the storage means 6. And control which makes a division ratio  $m2$  small can be easily realized only by add operation to a division ratio  $m2$  by making initial value of a division ratio  $m2$  into horizontal resolution  $h1$ , without carrying out.

[0021]

[Effect of the Invention] As explained above, in order to generate a dot clock automatically according to the specification of the inputted image data according to the dot clock circuit of this invention, adjustment processings of the dot clock playback which a user performs are reduced, and there is cheaply realizable effectiveness.

---

[Translation done.]

**\* NOTICES \***

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] A distinction means to distinguish resolution from two or more image data inputted based on a different Horizontal Synchronizing signal and a different Vertical Synchronizing signal, A detection means to detect the existence of image data other than black from the image data distinguished with this distinction means, image data other than the black inputted into the beginning of the horizontal scanning period of the above-mentioned image data as the PLL means which carries out multiplying of the frequency of the above-mentioned Horizontal Synchronizing signal -- and An operation means by which the period of image data other than the black inputted at the end calculates whether it is a term what round of the dot clock of the above-mentioned image data, The dot clock circuit characterized by consisting of control means which control the above-mentioned PLL means so that the periodic value calculated with this operation means becomes equal to the resolution distinguished with the above-mentioned distinction means.

[Claim 2] The dot clock circuit according to claim 1 characterized by consisting of above-mentioned control means which do not perform reduction control of the frequency of the above-mentioned dot clock only when the image data with the same frequency of the above-mentioned Horizontal Synchronizing signal and a Vertical Synchronizing signal is received.

[Claim 3] The dot clock circuit according to claim 1 characterized by consisting of storage means which memorized beforehand the division ratio of two or more image data inputted based on a Horizontal Synchronizing signal and a Vertical Synchronizing signal different the account of a top.

---

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**